

## CLPD ja FPGA piirien arkkitehtuuri ja ominaisuudet

Tutki data-kirjasta XC9500-sarjan CPLD piirin:

### 1. Arkkitehtuuri

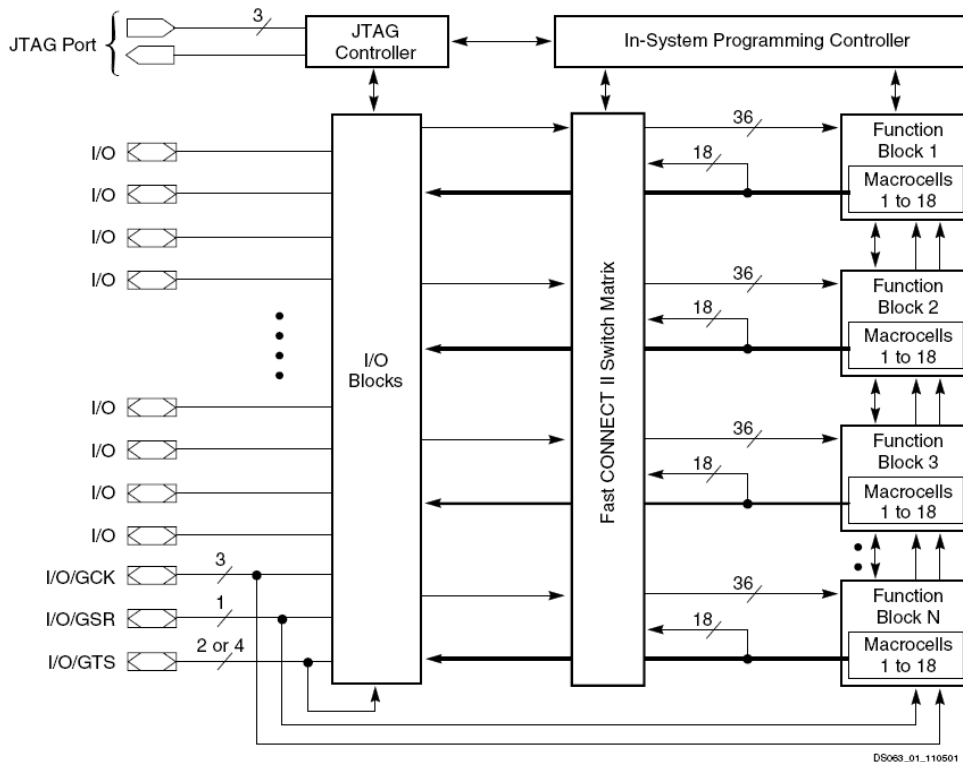


Figure 1: XC9500 Architecture

Note: Function block outputs (indicated by the bold lines) drive the I/O blocks directly.

### 2. Suurimman ja pienimmän piirin portti-, pinni- ja makrosolumäärä

	<b>Pienin piiri</b>	<b>Suurin piiri</b>
<b>Portit</b>	800	6400
<b>Pinnit</b>	44, joista IO:ta 34	352, joista IO:ta 192
<b>Makrosolut</b>	36	288

### 3. Miten piiri ohjelmoidaan

Standardin 4-pinnisen JTAG liitännän/protokollan avulla tai Xilinx HW130 ohjelmointilaitteella. Ohjelmointi onnistuu myös kolmannen osapuolen ohjelmointilaitteilla.

## 4. Onko ohjelmoinnissa joitakin rajoituksia

Piirin pystyy ohjelmoimaan/tyhjentämään vähintään 10000 kertaa.

## 5. Minkälaisen oheiselektronikan piiri tarvitsee toimiakseen

Tarvitsee ainoastaan käyttöjännitteen ja ohjelmointiliittimen.

**Tutki data-kirjasta XC2S300E-sarjan FPGA piirin:**

## 6. Esitä piirin arkkitehtuuri yleisesti

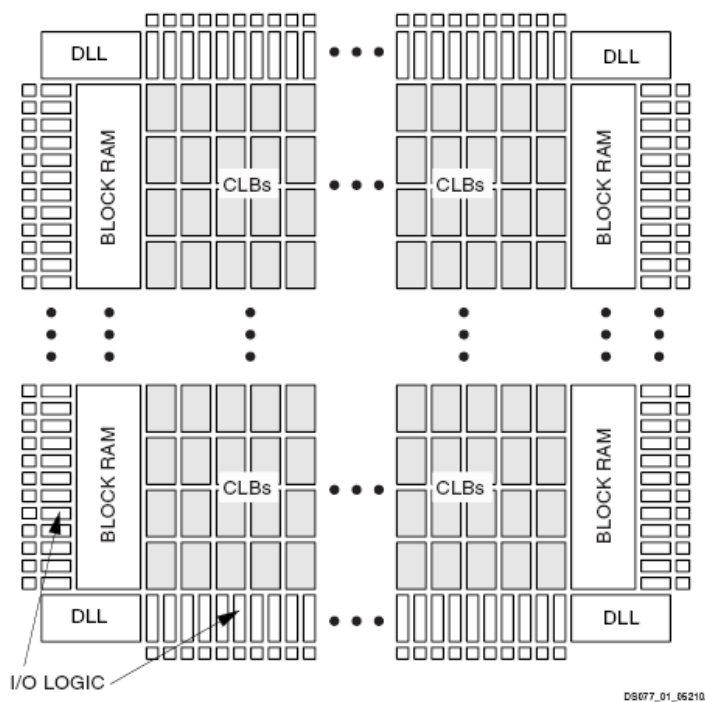


Figure 1: Basic Spartan-IIE Family FPGA Block Diagram

Fyysiset jalat - IOB – CLB – kytkentämatriisi - IOB:n kautta signaali ulos.

## 7. Millä kaikilla tavoilla data voidaan piirille ladata

Data voidaan ladata JTAG ohjelmointilaitteella tai ulkoiselta muistipiiriltä (prom, flash, kiintolevy jne.). XC2S300E tukee sarjamuotoista ja tavun levyistä rinnakkaista ohjelmointia ja se voidaan asettaa neljään eri moodiin. Valittavia moodeja ovat master serial, slave serial, slave parallel tai boundary scan, moodit valitaa M0-M2 pinneillä.

## 8. Selitä seuraavat astiat yksityiskohtaisemmin

- a. **CLB - Configurable Logic Blocks**  
Sisältää toiminnallisia elementtejä joiden avulla useimmat loogiset kytkennät kyetään toteuttamaan. CLB pitää sisällään kaksi identtistä Sliceä. CLB on looginen solu, LC.
- b. **IOB – Input/Output Blocks**  
Sijaitsee laitteen sisäisen logiikan ja ulkoisen pinnien välillä. Jokainen IOB pitää sisällään Input bufferin – välimuistin, Output driverin - pääteasteen, lähdön valinta multiplexerin sekä käyttäjän ohjelmoitavissa olevan maan hallinnan (ei tarvita ulkoisia vastuksia käyttämättömien pinnien maattamiseksi).
- c. **LUT – Look-Up Tables**  
Sen lisäksi että LUT voi toimia funktiogeneraattorina, jokainen LUT voi toimia 16 x 1-bit synkronisena RAM muistina. Saman Slicen sisällä olevat kaksi LUT:ia voidaan kytkeä toimimaan 16 x 2-bit, 32 x 1-bit tai 16 x 1-bit kaksiporttisena synkronisena RAM-muistina. Piirin tyypistä riippuen LUT voi toimia myös 16-bittisenä siirtorekisterinä, joka on ideaalinen nopean tai purske-muotoisen datan vastaanottamisessa. Erittäin hyvä ominaisuus DSP:n kannalta.
- d. **Slice**  
Jokainen CLB sisältää neljä LC:tä, jotka on jaettu kahteen samanlaiseen palaan, eli sliceen. Yksi Slice sisältää siis kaksi LC:tä.
- e. **LC – Logic Cell**  
Looginen solu, joka sisältää 4 funktio generaattoria, carry logicin ja tallennuselementin (muistin). Funktiogeneraattorin lähtö ohjaa joko CLB:n lähtöä tai D-kiikkua.
- f. **GRM – General Routing Matrix**  
Toimii kytkentäverkkona pysty ja vaakasuuntaisille datajohtimille, joiden avulla CLB:t yhdistetään toisiinsa.

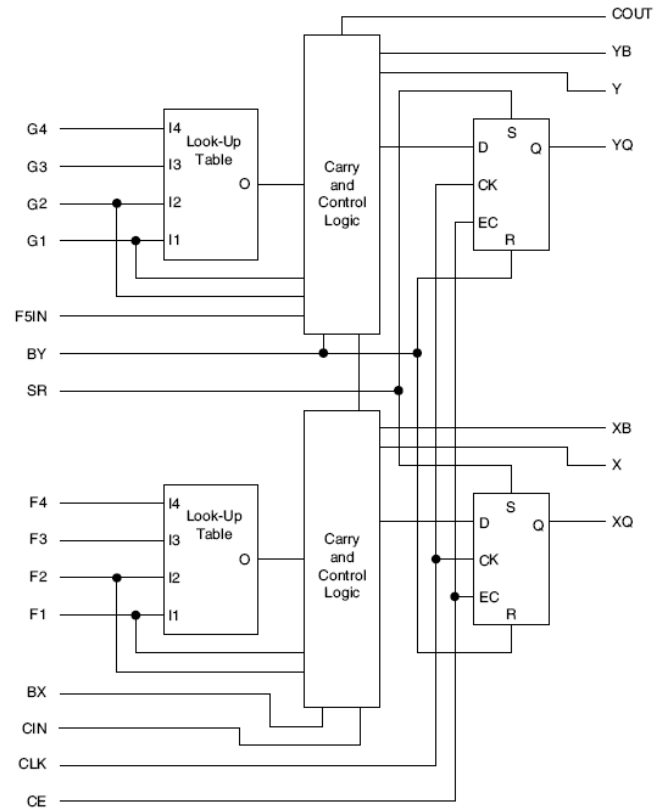


Figure 4: Spartan-IIe CLB Slice (two identical slices in each CLB)

### 9. Mitä ovat Hex line ja Longline

Hex line – Hex linja reitittää GRM signaaleja muille GRM:lle maksimissaan kuuden piirin päähän jokaiseen suuntaan. 1/3-osaa hex linjoista on kaksisuuntaisia, loppujen ollessa yksisuuntaisia. Piiristä löytyy yhteensä 96 bufferoitua linjaa.

Longline – sisältää 12 pysty ja 12 vaakasuuntaista johdinta piirin laidasta laitaan, joiden avulla voidaan jakaa signaaleja piirin sisällä nopeasti ja tehokkaasti.

### 10. Mikä merkitys on Carry-logic:lla

Carry hoitaa aritmeettisia yhtälöitä, siis laskentaa hyvin nopeasti.

### 11. Miten kellosignaali jaetaan piirin eri osiin

Kello jaetaan käyttämällä neljää verkkoa. Jokaisen verkon takana piilee oikealla puolella olevan kuvan kaltainen verkko, jonka kautta kellosignaalia jaetaan piirin eri osiin.

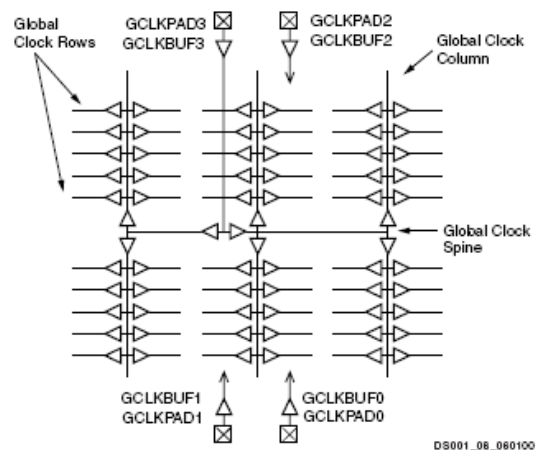


Figure 9: Global Clock Distribution Network

### 12. Mikä on DLL ja sen tarkoitus/käyttö

Delay-Locked Loop, Kompensoi kellon jakamisen viiveitä kello-pinnan ja sisäisen signaalinjakamisen välillä, sekä toimii kellon domain controllerina.

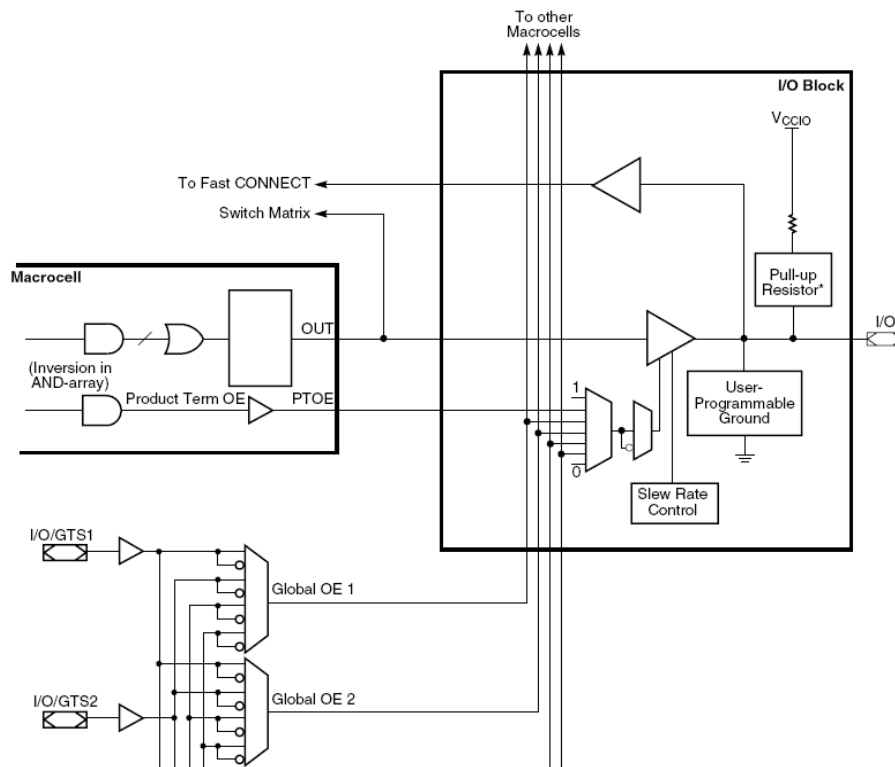
### 13. Miten IO-pinnissä olevaa elektroniikkaa voidaan hyödyntää

#### a. Mitä etua siitä on:

IOB pitää sisällään Input bufferin – välimuistin, Output driverin - pääteasteen, lähdön valinta multiplexerin sekä käyttäjän ohjelmoitavissa olevan maan hallinnan (ei tarvita ulkoisia vastuksia käyttämättömien pinnien maattamiseksi). Portti voi muuntaa ulkoisia jännitetasoja (5V CMOS, 5V TTL, 3.3V) itselleen sopiviksi, sekä voi syöttää eri jännitteisiä signaaleja ulos. Jokaisen pinnan Slew-ratea voidaan säätää. Edellä mainittuja ominaisuuksia ei siis tarvitse rakentaa piirin ulkopuoliseksi elektroniikaksi, eli säästetään huomattavasti tilaa. Poistaa kytkinvärähtelyitä.

b. Miten se toteutetaan:

Jokainen IOB sisältää paljon elektroniikkaa sisällään. Alla kuva IOB:in toteutuksesta lohkokatasolla.



14. Miten toteutat 8-bittisen AD -muuntimen piirillä XC2S300E

Erillisellä AD -muunnin piirillä ja kytkemällä tämä piiri XC2S300E:hen. Ainakaan mitään sisäistä valmiutta AD -muunnokseen en kyseisistä piiristä löytänyt. Myös Vref jännitteitä hyödyntämällä voidaan

15. Mitä erikoista on PQ208 kotelossa

Piirin jalat sijaitsevat kaikilla neljällä reunalla, kuin muissa piireissä jalat ovat suoraan piirin alla. Tämän lisäksi kaikki I/O pankit (8kpl) on kytketty yhteiseen VCC0 jännitteeseen, jonka takia ainoastaan yhtä jännitetasoa on mahdollisuus käyttää. Jokaiseen Vcc pinniin pitää kuitenkin tuoda oma jännitteensä (samansuuruiset), näin virtasilmukat pienenevät.

16. Miten käyttöjännitteet tuodaan IOB:iin

Jokaiselle pankille on omat syöttöjännitepiikit. Pankkien viereen laitettava kondensaattorit.

## 17. Mitä teet käyttämättömille IO-pinneille

Käyttämättömät pinnit tulee kytkeä joko maahan, tai ohjelmallisesti asettaa portti undirectional-tilaan, jolloin pinni itsessään osaa sulkeutua maahan piirin sisäisen kytkennän ansiosta.

## 18. Kuinka suuri on portin ulostulovirta maksimissaan

Jokainen portti voi syöttää 24 mA ja maattamaan 48 mA.

## 19. Mitä tekee weak-keeper-piiri

Valvoo jokaisen lähdon jännitteitä ja ajaa varovasti pinnin tilaa ylä- tai alatilaa, sen mukaan mikä tila on portin sisäänmenossa.

## 20. Mitä tunnus XC2S300-6 PQ208C kertoo

Laitetyyppi:	XC2S300	= 300 000 porttia
Nopeusluokka:	-6	= normaali suorituskyky
Kotelotyyppi:	PQ	= muovinen QFP
Jalkojen lukumäärä:	208	= 208 jalkaa
Lämpötila-alue:	C	= 0°C - +85°C

## 21. Kuinka paljon on vapaasti käytettäviä portteja piirissä XC2S300

Riippuu täysin käytetystä kotelotyypistä:

Kotelo	Vapaiden I/O porttien määrä
PQ208/PQG208	= 146
FT256/FTG256	= 182
FG456/FGG456	= 329

## 22. Mitä tarkoittaa LVDS ja mitä hyötyä siitä on

LVDS = Low Voltage Differential Signals. Differentiaalinen tiedonsiirto vähentää häiriöiden määrää.

**Boundary-Scan ominaisuus (JTAG):**

23. Mitä ovat nimeltään piirin JTAG-pinnit

TDI, TDO, TMS ja TCK.

24. Mitä BScan-ominaisuudella (JTAG) voi tehdä

Tunnistaa ja testaa kytkennät, muistit ja logiikat. Ohjelmoida muistit ja piirit. Voi debugata koko järjestelmää (sample modessa)

25. Mikä on BSDL-tiedosto ja mitä sillä tehdään

Tiedostossa kuvataan testattava kytkentä, kerrotaan testiohjelmalle mitä piirejä testattavassa systeemissä on. Kuvaa systeemin interfacen.

26. Mitkä ovat BScan-piirin pakolliset käskyt? Onko tässä tapauksessa käytössä muita?

Table 4: Boundary Scan Instructions

Boundary-Scan Command	Binary Code [7:0]	Description
<b>Required Instructions</b>		
BYPASS	11111111	Enables BYPASS
SAMPLE/ PRELOAD	00000001	Enables boundary-scan SAMPLE/PRELOAD operation
EXTEST	00000000	Enables boundary-scan EXTEST operation
<b>Optional Instructions</b>		
CLAMP	11111010	Enables boundary-scan CLAMP operation
HIGHZ	11111100	all outputs in high-impedance state simultaneously
IDCODE	11111110	Enables shifting out 32-bit IDCODE
USERCODE	11111101	Enables shifting out 32-bit USERCODE
<b>XC18V00 Specific Instructions</b>		
CONFIG	11101110	Initiates FPGA configuration by pulsing $\overline{CF}$ pin Low once

27. Miten konfigurointi tulee olla, jos käytetään BScan-tekniikkaa

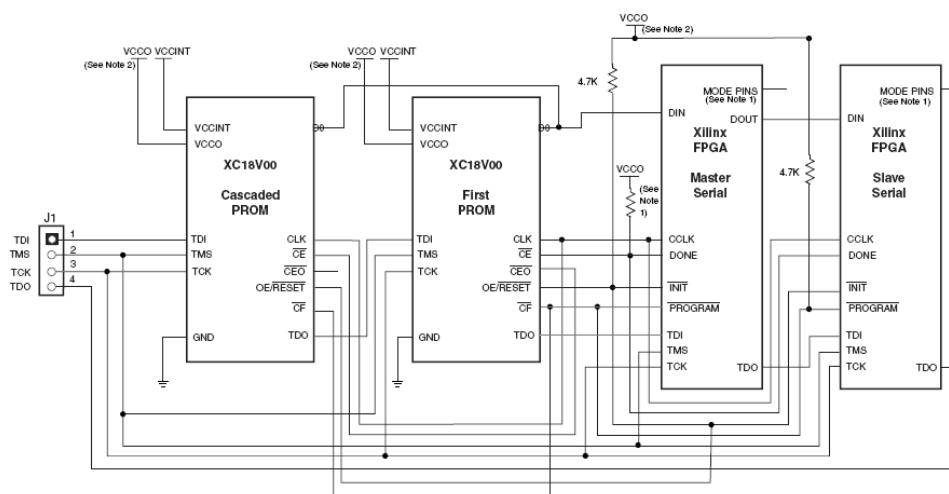
100 tai 101, riippuen siitä käytetäänkö esikonfiguroituja ylösvetovastuksia.

**Muistipiirin käyttö:**

28. Mikä on sopiva muisti piirille 2XCS300

XC18V02 tai XC17V02.

29. Miten se kytketään ko. piiriin, kun halutaan käyttää JTAG-latausta



Notes:  
 1 For Mode pin connections and DONE pin pullup value, refer to appropriate FPGA data sheet.  
 2 For compatible voltages, refer to the appropriate FPGA data sheet.

D9026\_08\_061003

Figure 5: Configuring Multiple Devices in Master/Slave Serial Mode

30. Mitkä ovat pakolliset BScan-käskyt? Onko muita käskyjä?

Table 4: Boundary Scan Instructions

Boundary-Scan Command	Binary Code [7:0]	Description
<b>Required Instructions</b>		
BYPASS	11111111	Enables BYPASS
SAMPLE/PRELOAD	00000001	Enables boundary-scan SAMPLE/PRELOAD operation
EXTEST	00000000	Enables boundary-scan EXTEST operation
<b>Optional Instructions</b>		
CLAMP	11111010	Enables boundary-scan CLAMP operation
HIGHZ	11111100	all outputs in high-impedance state simultaneously
IDCODE	11111110	Enables shifting out 32-bit IDCODE
USERCODE	11111101	Enables shifting out 32-bit USERCODE
<b>XC18V00 Specific Instructions</b>		
CONFIG	11101110	Initiates FPGA configuration by pulsing CF pin Low once



31. Miten muistipiirit konfiguroidaan sarjamuotoiseen tiedonsiirtoon

Ohjelmointi tapahtuu M2, M1 ja M0 pinnejä käyttäen. Sarjamuotoiseksi tieto saadaan master serial, boundary-scan ja slave serial modeissa.

Table 9: Configuration Modes

Configuration Mode	Preconfiguration Pull-ups	M0	M1	M2	CCLK Direction	Data Width	Serial D <sub>OUT</sub>
Master Serial mode	No	0	0	0	Out	1	Yes
	Yes	0	0	1			
Slave Parallel mode (SelectMAP)	Yes	0	1	0	In	8	No
	No	0	1	1			
Boundary-Scan mode	Yes	1	0	0	N/A	1	No
	No	1	0	1			
Slave Serial mode	Yes	1	1	0	In	1	Yes
	No	1	1	1			

32. Milloin muistipiiri kannattaa kytkeä rinnakkaiseen tiedonsiirtoon

Slave Parallel modella pystytään ohjelmoimaan useita piirejä samanaikaisesti. Myös tiedon vieminen ja hakeminen nopeutuu huomattavasti käytettäessä rinnakkaista tiedonsiirtoa verrattuna sarjamuotoiseen tiedonsiirtoon.

**Muuta:**

33. Vertaile Spartan sarjaa Virtex-piirisarjaan

Spartan-3E FPGA Family						Virtex-5 LX							
	XC3S100E	XC3S250E	XC3S500E	XC3S1200E	XC3S1600E	Part Number	LX30	LX50	LX85	LX110	LX220	LX330	
System Gates	100K	250K	500K	1,200K	1,600K	XC5VLX30	XC5VLX30	XC5VLX50	XC5VLX85	XC5VLX110	XC5VLX220	XC5VLX330	
Logic Cells	2,160	5,508	10,476	19,512	33,192	EasyPath™ Cost Reduction Solutions <sup>(1)</sup>	—	—	XC5VLX85	XC5VLX110	XC5VLX220	XC5VLX330	
Block RAM Bits	72K	216K	360K	504K	648K	CLB Array Size (Row x Column)	80 x 30	120 x 30	120 x 54	160 x 54	160 x 108	240 x 108	
Distributed RAM Bits	15K	38K	73K	136K	231K	Slices <sup>(2)</sup>	4,800	7,200	12,960	17,280	34,560	51,840	
DCMs	2	4	4	8	8	Logic Cells <sup>(3)</sup>	30,720	46,080	82,944	110,592	221,184	331,776	
Multipliers	4	12	20	28	36	CLB Flip-Flops	19,200	28,800	51,840	69,120	138,240	207,360	
I/O Standards	18	18	18	18	18	Maximum Distributed RAM (kbits)	320	480	840	1,120	2,280	3,420	
Max Single Ended I/O	108	172	232	304	376	Block RAM/FIFO w/ECC (36kbits each)	32	48	96	129	192	288	
Max Differential I/O Pairs	40	68	92	124	156	Total Block RAM (kbits)	1,152	1,728	3,456	4,608	6,912	10,368	
Package and I/O Offerings						Digital Clock Manager	Clock Resources						
							I/O Resources						
VQ100 14 x 14 mm	66	66				Phase Locked Loop/PMCD	2	6	6	6	6	6	
CP132 8 x 8 mm		92	92			Maximum SelectIO™ Pins	400	560	560	800	800	1,200	
TQ144 20 x 20 mm	108	108				SelectIO™ Banks	13	17	17	23	23	35	
PQ208 28 x 28 mm		158	158			Digitally Controlled Impedance	Yes	Yes	Yes	Yes	Yes	Yes	
FT256 17 x 17 mm		172	190	190		Maximum Differential I/O Pairs	200	280	280	400	400	600	
FG320 19 x 19 mm			232	250	250	I/O Standards HT, LVDS, LVDSSEXT, RSDS, BLVDS, ULVDS, LVPECL, LVCMOS33, LVCMOS25, LVCMOS18, LVCMOS15, LVTTL, PC133, PCI66, PCI-X, GTL, GTL+, HSTL I (1.2V, 1.5V, 1.8V), HSTL II (1.5V, 1.8V), HSTL III (1.5V, 1.8V), HSTL IV (1.5V, 1.8V), SSTL2 I, SSTL2 II, SSTL18 I, SSTL18 II							
FG400 21 x 21 mm				304	304								
FG484 23 x 23 mm					376	Embedded Hard IP							
						DSP48E Slices	32	48	48	64	128	192	
						Configuration Memory (Mbits)	8.4	12.6	21.8	29.1	53.1	79.7	
						Package <sup>(4)</sup>	Area	I/O					
						FF324	19 x 19 mm	220					
						FF676	27 x 27 mm	440	400	440	440	440	
						FF1153	35 x 35 mm	800	560		560	800	
						FF1760	42.5 x 42.5 mm	1200	800		800	1200	

34. Minkälainen piiri on FPOA piiri

Field Programmable Object Array. Piiri toimii jopa 1GHz nopeudella, joka on lähdes neljä kertaa nopeampi kuin edistyksekkäimmät FPGA arkkitehtuurit nykyisin. Perinteisiin FPGA piireihin verrattuna ohjelmointi ei tapahdu porttitasolla, vaan objekti tai toiminnallisella tasolla.

Lisää tietoa: [http://www.mathstar.com/Pdfs/FPOA\\_Part\\_1.pdf](http://www.mathstar.com/Pdfs/FPOA_Part_1.pdf)

Lähde: <http://www.greensupplyline.com/products/193104270>

35. Selosta lyhyesti uusien asynkronisten piirien arkkitehtuuri

Jos tapahtumaa ei ole, niin esim. kellokaan ei liikutella. Tästä seuraa suuri energian säästö.

[http://www.klabs.org/richcontent/Misc\\_Content/meetings/achronix\\_nov\\_2005/achronix\\_nov\\_2005.ppt](http://www.klabs.org/richcontent/Misc_Content/meetings/achronix_nov_2005/achronix_nov_2005.ppt)

36. Minkälaista kelloa voidaan käyttää?

Vain kideoskillaattoria voidaan yleensä käyttää FPGA piireissä.